PATENT ABSTRACTS OF JAPAN

(11)Publication number:

05-113580

(43)Date of publication of application: 07.05.1993

(51)Int.CI.

G02F 1/136 G02F 1/133 H01L 27/12 H01L 21/336 HO1L 29/784

(21)Application number: 03-275677

(22)Date of filing:

23.10.1991

(71)Applicant : KYOCERA CORP

(72)Inventor: YAMAGUCHI NORITOSHI

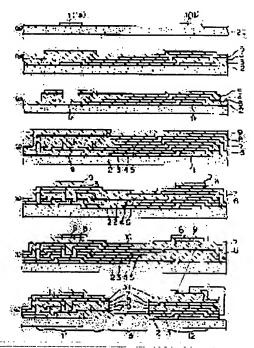
MATSUDA TOSHIYA

UENO HIROKO

(54) PRODUCTION OF ACTIVE MATRIX SUBSTRATE

(57)Abstract:

PURPOSE: To decrease the number of sheets of the photomasks to be used at the time of patterning and to enable forming signal wirings with transparent conductive layers as well as to facilitate the connection to driving circuits by constituting the above matrix substrate in such a manner the need for the specific patterning of channel layers is eliminated and an n+ type semiconductor layer can be subjected simultaneously to patterning of source electrodes and drain electrodes. CONSTITUTION: A picture element electrodes and image signal line 3, a source and drain electrods 4 and an ohmic contact layer 5 are successively laminated and are patterned to prescribed shapes. The channel layer 6, a gate insulating layer 7, a gate electrode 8, and a scanning signal line 9 are then successively laminated. The gate electrode 8 and the scanning signal line 9 are then patterned to prescribed shapes. A protective layer 10 is thereafter formed. This protective layer 10 as well as the upper source and drain electrode 4, the ohmic contact layer 5, a channel region 6, a gate insulating layer 7, the gate electrode 8 and the scanning signal line 9 are patterned to prescribed shapes.



LEGAL STATUS

[Date of request for examination]

25.09.1996

[Date of sending the examiner's decision of rejection] [Kind of final disposal of application other than the

examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2873119

[Date of registration]

08.01.1999

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-113580

(43)公開日 平成5年(1993)5月7日

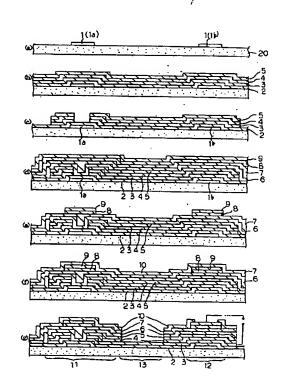
(51)Int.Cl. ⁵ G 0 2 F 1/136 1/133 H 0 1 L 27/12 21/336	識別記母 5 0 0 5 5 0 A	庁内整理番号 9018-2K 7820-2K 8728-4M 9056-4M	F I H 0 1 L 審査請求 未請す	技術表示箇所 29/78 311 Y 対 請求項の数1(全 6 頁) 最終頁に続く
(21)出顯番号	特顯平3-275677		(71)出願人	000006633
(22)出願日	平成3年(1991)10月23日			京セラ株式会社 京都府京都市山科区東野北井ノ上町 5番地 の22
			(72)発明者	山口 文紀 滋賀県八日市市蛇溝町長谷野1166番地の 6 京セラ株式会社滋賀八日市工場内
			(72)発明者	松田 敏哉 滋賀県八日市市蛇溝町長谷野1168番地の 6 京セラ株式会社滋賀八日市工場内
			(72)発明者	上野 裕子 滋賀県八日市市蛇溝町長谷野1166番地の 6 京セラ株式会社滋賀八日市工場内

(54)【発明の名称】 アクテイプマトリックス基板の製造方法

(57)【要約】

【構成】 画素電極と画像信号線、ソース・ドレイン電極、およびオーミックコンタクト層を順次積層して所定形状にパターニングし、次に、チャネル層、ゲート絶縁層、ゲート電極、および走査信号線を順次積層して、ゲート電極と走査信号線を所定形状にパターニングし、次に、保護層10を形成して、この保護層10と、上ソース・ドレイン電極、オーミックコンタクト層、チャネル領域、ゲート絶縁層、ゲート電極、および走査信号線を所定形状にパターニングする。

【効果】チャネル層の格別なパターニングが不要になると共に、n*型半導体層 5 をソース電極とドレイン電極のパーニングと同時に行うことができるようになり、パターニングの際に使用するフォトマスクの枚数を減らすことができる。また、信号配線を透明導電層で形成することができ、駆動用回路との接続が容易になる。



【特許請求の範囲】

【請求項1】 (a) 基板上に、画索電極および画像信 号線となる第1の透明導電層、ソース電極とドレイン電 極となる第1の金属層、およびトランジスタのオーミッ クコンタクト層となるn*型半導体層を順次積層し、

(b) 該第1の透明導電層、第1の金属層、およびn+ 型半導体層の所定部分をエッチング除去し、(c)次 に、トランジスタのチャネル領域となるi型半導体層、 ゲート絶縁層となる絶縁層、ゲート電極となる第2の金 属層、および走査信号線となる第2の透明導電層を順次 積層し、(d) 該第2の金属層と第2の透明導電層の所 定部分をエッチング除去し、(e)次に、保護層を形成 し、(f) 該保護層と、上記第1の金属層、n*型半導 体層、i型半導体層、絶縁層、第2の金属層、および第 2の透明導電層の所定部分をエッチング除去する工程を 含んで成るアクティブマトリックス基板の製造方法。

【発明の詳細な説明】

[0001]

【産業上の利用分野】本発明はアクティブマトリックス 基板の製造方法に関し、特に順スタガー型の薄膜トラン ジスタを有するアクティブマトリックス基板の製造方法 に関する。

[0002]

【従来の技術】従来、アクティブマトリックス型液晶表 示装置などに用いられるアクティブマトリックス基板に は、画素電極となる透明導電層がトランジスタの上方に 位置するタイプのものとトランジスタの下方に位置する タイプのものとがあるが、それぞれのアクティブマトリ ックス基板の製造方法を図2および図3に示す。

【0003】図2は透明導電層がトランジスタの下方に 位置するタイプのものである。まず、同図(a)に示す ように、ガラスなどから成る絶縁基板21上に、画素電 極となる透明導電層22とゲート電極となる金属層23 とを真空蒸着法やスパッタリング法などにより形成し、 この金属層23をエッチングによって所定のパターンに 形成する。次に、同図(b)に示すように、透明導電層 22をエッチングによって所定のパターンに形成する。 次に、同図(c)に示すように、ゲート絶縁層となる絶 縁層24、25、チャネル領域となる i 型半導体層 2 6、およびエッチングのストッパー層として作用する窒 40 化シリコン層27を形成する。次に、同図(d)に示す ように、窒化シリコン層27がゲート電極23上にのみ 残るようにパターニングする。次に、同図(e)に示す ように、n⁺ 型半導体層などからなるオーミックコンタ クト層28を例えばプラズマCVD法などで形成する。 次に、同図(f)に示すように、トランジスタの側部に コンタクトホール29を形成する。次に、同図 (g) に 示すように、ソース・ドレイン電極となる金属層30、 31を形成する。次に、同図(h)に示すように、ゲー

ト層28をエッチングで分離して、ソースとドレインを 形成する。このエッチングの際には、窒化シリコン層2 7がストッパー層となる。最後に、窒化シリコンなどか ら成るパシベーション層32を形成して完成する。この ように従来のアクティブマトリックス基板の製造方法で は、半導体層26上の全面にオーミックコンタクト層2 8とソース・ドレイン電極となる金属層30を設けて、 中央部分をフッ硝酸溶液などでエッチング除去すること により、ソース電極、ドレイン電極、およびオーミック コンタクト層28を分割するが、このオーミックコンク クト層28を分割する際に、半導体層26がオーバーエ ッチングによって消失しないようにすると共に、オーミ ックコンタクト層28の一部が残ってトランジスタのO FF抵抗が低下するのを防止するために、半導体層26 上にストッパー層27を形成してオーミックコンタクト 層28と金属層30、31の所定部分が完全にエッチン グされるようにしていた。

【0004】上述のアクティブマトリックス基板の製造 方法では、図2(a)(b)(d)(f)(h)の各工 程でエッチングを行うことから、フォトマスクは五枚必 要である。

【0005】また、透明導電層がトランジスタの上方に 位置するタイプのアクティブマトリックス基板の製造方 法を図3に示す。まず、同図(a)に示すように、絶縁 基板51上に、ゲート電極となる金属層52を形成して パターニングする。次に、同図(b)に示すように、金 属層52の表面を陽極酸化して、金属酸化層53を形成 する。次に、同図(c)に示すように、ゲート絶縁層と なる絶縁層54、チャネル領域となる i 型半導体層 5 5、およびエッチングのストッパー層として機能する窒 化シリコン層 5 6 を形成する。次に、同図 (d) に示す ように、ゲート電極53上にのみ窒化シリコン層56が 残るように、窒化シリコン層56の大部分をエッチング する。次に、同図(e)に示すように、オーミックコン タクト層57を形成する。次に、同図(f)に示すよう に、オーミックコンタクト層57とi型半導体層55の 周辺部をエッチングなどにより除去する。次に、同図 (g) に示すように、ソース・ドレイン電極となる金属 層58を形成して、パターニングする。なお、この工程 では、後述する透明導電層59が半導体層55、57と 接触しないようにするために、半導体層55、57の周 辺部が金属層58で完全に被覆されるように金属層58 をパターニングする。次に同図(h)に示すように、画 素電極となる透明導電層59を形成してパターニングす る。最後に、同図 (i) に示すように、窒化シリコン層 などから成るパシベーション層60を形成して完成す

【0006】上述のアクティブマトリックス基板の製造 方法では、図3 (a) (d) (f) (g) (h) の各工 ト電極23上の金属層30、31とオーミックコンタク 50 程でフォトマスクが必要であり、最低五枚必要である。

30

3

【0007】上述のように、従来のアクティブマトリックス基板の製造方法では、トランジスタの機能上は不必要なエッチングのストッパー層27、56の形成が必要で、フォトマスクを多く使うために、フォトプロセスに時間がかかり量産性が悪いという問題があった。特に、このような薄膜トランジスタを多数形成するデバイスでは、製造工程の煩雑化によって歩留りが著しく低下することから、製造工程はできるだけ簡略化することが望まれている。

[0008]

【課題を解決するための手段】本発明は、このような従 来技術の問題点に鑑みてなされたものであり、その特徴 とするところは、(a)基板上に、画素電極および画像 信号線となる第1の透明導電層、ソース電極とドレイン 電極となる第1の金属層、およびトランジスタのオーミ ックコンタクト層となるn⁺型半導体層を順次積層し、 (b) 該第1の透明導電層、第1の金属層、およびn+ 型半導体層の所定部分をエッチング除去し、(c)次 に、トランジスタのチャネル領域となるi型半導体層、 ゲート絶縁層となる絶縁層、ゲート電極となる第2の金 20 属層、および走査信号線となる第2の透明導電層を順次 積層し、(d) 該第2の金属層と第2の透明導電層の所 定部分をエッチング除去し、(e)次に、保護層を形成 し、(f) 該保護層と、上記第1の金属層、n* 型半導 体層、i型半導体層、絶縁層、第2の金属層、および第 2の透明導電層の所定部分をエッチング除去する工程を 含んで成る点にある。

[0009]

【作用】上記のような構成にすると、i型半導体層のパターニングが不要でエッチングのストッパー層が不要に 30 なると共に、n*型半導体層をソース電極とドレイン電極のパーニングと同時に行うことができるようになり、パターニングの際に使用するフォトマスクの枚数を減らすことができる。また、薄膜トランジスタと付加容量を同時に形成でき製造工程が簡略化される。さらに、信号配線を透明導電層で形成することができ、信号配線と駆動用回路とをマイクロバンプボンディング法によって接続することが可能となる。

[0010]

【実施例】以下、本発明を添付図面に基づき詳細に説明する。図1は、本発明に係るアクティブマトリックス基板の製造方法の一実施例を示す図であり、20はガラスなどから成る絶縁基板である。

【0011】まず、同図(a)に示すように、基板20上に、アルミニウム(A1)、クロム(Cr)、タンタル(Ta)などの遮光用金属層1を真空蒸着法やスパッタリング法などによって、厚み2000Å程度に形成して、島状にパターニングする。すなわち、第1の遮光用金属層1aは後述するトランジスタの下部に位置し、第2の遮光用金属層1bは付加容量部分の下部に位置する

ようにパターニングする。遮光用金属層 1 を設けると、 トランジスタおよび付加容量内の半導体層に光が当たっ てキャリアが発生するのを防止できる。

【0012】次に、同図(b)に示すように、下地絶縁 層2、画案電極および画像信号線となる第1の透明導電 層3、ソース・ドレイン電極となる第1の金属層4、お よびオーミックコンタクト層となる n * 型半導体層 5 を 形成する。下地絶縁層 2 は、酸化タンタル (Ta Ox)、窒化シリコン (SiNx) などから成り、酸化 10 タンタルの場合はスパッタリングや陽極酸化などによっ て、また窒化シリコンの場合はプラズマCVD法などに よって、それぞれ厚み2000Å程度に形成される。第 1の透明導電層3は、酸化錫、酸化インジウム錫などを 用いたスパッタリング法によって厚み1000A程度に 形成される。ソース・ドレイン電極となる第1の金属層 4は、アルミニウム、クロム、チタンなどを用いて、真 空蒸着法やスパッタリング法で厚み4000 Å程度に形 成される。さらにn^{*}型半導体層5はプラズマCVD法 などによって、厚み1000 Å程度に形成される。な お、n*型半導体層5は、リン(P)をドープしたマグ ネシウムシリサイド (Mg2 Si) などで構成してもよ い。このようにn⁺ 型半導体層 5 は、リン (P) をドー プしたマグネシウムシリサイド (Mg2 Si) で構成す ると、n*型半導体層 5 をスパッタリング法で形成で き、金属層と同一装置で同時に成膜できる。したがっ て、CVDプロセスを一つ減らすことができる。また、 ドレイン電極部の第1の透明導電層3は、画像信号線と

【0013】次に、同図 (c) に示すように、第1の透 明導電層3、第1の金属層4、およびn 型半導体層5 を、上記遮光用金属層1 a の周辺部と第1の遮光用金属 層1aから第2の遮光用金属層1bにかけて残るように エッチング除去する。アルミニウムやチタンをエッチン グする場合は燐酸が、クロムをエッチングする場合は硝 酸第二セリウムアンモニウム水溶液が、透明導電層3を エッチングする場合は亜鉛を触媒とする塩硝酸系エッチ ング液が、金属層 4 および n * 型半導体層 5 をエッチン グする場合は弗硝酸の水溶液などが好適に用いられる。 【0014】次に、同図 (d) に示すように、i型半導 体層6、ゲート絶縁層となる絶縁層7、ゲート電極とな る第2の金属層8、走査信号線となる第2の透明導電局 9を順次積層する。 i 型半導体層 6 はプラズマCVD法 などによって厚み500Å程度に形成される。ゲート絶 縁層となる絶縁層 7 は、窒化シリコン層の一層構造、あ るいは窒化シリコン層と酸化タンタル層の二層構造のも ので形成される。窒化シリコン層は、プラズマCVD法 などで厚み2000Å程度に形成され、酸化タンタル層 はスパッタリングや陽極酸化によって厚み2000 Å程 度に形成される。ゲート電極となる第2の金属層8は、 アルミニウム、クロム、チタンなどを用いて、真空蒸着

50

5

法やスパッタリング法で厚み2000 A程度に形成され、走査信号線となる第2の透明導電層9は、酸化錫や酸化インジウム錫などを用いたスパッタリング法によって厚み2000 A程度に形成される。

【0015】次に、同図(e)に示すように、ゲート電極となる第2の金属層8と走査信号線となる第2の透明導電層9を、第1の遮光用金属層1aと第2の遮光用金属層1bの上の部分のみを残してエッチング除去する。用いられるエッチング液は、同図(c)の工程で用いられるエッチング液と同一である。

【0016】次に、同図(f)に示すように、保護層10を形成する。この保護層10は、窒化シリコンや酸化タンタルなどから成り、窒化シリコン層はプラズマCVD法により、酸化タンタル層はスパッタリング法により、厚み2000Å程度に形成される。

【0017】最後に、同図(g)に示すように、保護層10と、第1の金属層4、n⁺型半導体層5、i型半導体層6、第2の絶縁層7、第2の金属層8、および第2の透明導電層9を、上記第2の遮光用金属層1bの周辺部と、この第2の遮光用金属層1bから第1の遮光用金属層1a部分にかけてエッチング除去する。用いられるエッチング液は、同図(c)の工程で用いられるエッチング液と同一である。

【0018】上述のように形成すると、第1の遮光用金属層1a上にスイッチング用のトランジスタ11が形成され、第2の遮光用金属層1b上に、第1の透明導電層3と第2の透明導電層9を電極とする付加容量12が形成され、スイッチング用トランジスタ11と付加容量12との間に画素13が形成される。なお、図示されていないが、付加容量12部分の第2の透明導電層9は、画素電極13と対峙して設けられる対向電極(不図示)に接続される。この付加容量12は、液晶材料(不図示)への印加電圧を一定時間保持するために形成される。

【0019】また、薄膜トランジスタ11のドレイン電極4下部の第1の透明導電層3からドレイン電極4に画像信号を供給すると共に、ゲート電極8上部の第2の透明導電層9から走査信号を供給し、走査信号によってで膜トランジスタ11をオンして画像信号を画素電極3に供給するものである。このように、走査信号線と画像は合きを透明導電層で形成すると、駆動回路(ICチャンプボンディング法で接続できると、なから、マイクロバンプボンディング法で接続できるにが、信号線に酸化場や酸化インジウム錫を用いるとこのような酸化による接触抵抗の増大はなく、マイクロバンプボンディング法での接続が可能となる。

【0020】上述のように、薄膜トランジスタ11の下部と付加容量12の下部に遮光用金属層1a、1bを設けて、i型半導体層6にキャリアが発生する(光が照射

されるとキャリアが発生する)のを防止することが窒ま しいが、i型半導体層 6 を光感度の低いもので形成する 場合は、遮光用金属層 1 および下地絶縁層 2 は必ずしも 必要でない。すなわち、基板温度を 4 0 0 ℃程度の比較 的髙温に維持して、且つ膜厚が 2 0 0 Å以下となるよう に薄く形成すればi型半導体層 6 の光感度を低くするこ とができる。基板温度を髙温にしてi型半導体層 6 を形 成するとn型に偏るため、ボロン(B)を微量(1~5 ppm)ドープして、フェルミレベルを中央に戻せばよ 10 い。

[0021]

【発明の効果】以上のように、本発明に係るアクティブマトリックス基板の製造方法によれば、(a) 基板上に、画素電極および画像信号線となる第1の透明導電層、ソース電極とドレイン電極となる第1の金属層、およびトランジスタのオーミックコンタクト層となるので型半導体層を順次積層し、(b) 該第1の透明導電層、第1の金属層、およびn*型半導体層の所定部分をエッチング除去し、(c) 次に、トランジスタのチャネル領域となるi型半導体層、ゲート絶縁層となる絶縁層、ゲート電極となる第2の金属層、および走査信号線となる第2の透明導電層を順次積層し、(d) 該第2の金属層と第2の透明導電層の所定部分をエッチング除去し、

(e) 次に、保護層を形成し、(f) 該保護層と、上記第1の金属層、n*型半導体層、i型半導体層、絶縁層、第2の金属層、および第2の透明導電層の所定部分をエッチング除去する工程を含んで成ることから、i型半導体層のパターニングが不要になると共に、n*型半導体層をソース電極とドレイン電極のパーニングと同時に行うことができるようになり、パターニングの際に使用するフォトマスクの枚数を減らすことができると共に、製造工程が簡略化される。

【0022】また、上記のような構成にすると、信号配線を透明導電層で形成することができ、信号配線と駆動用回路とをマイクロバンプボンディング法によって接続することが可能となる。

【図面の簡単な説明】

【図1】 (a) ~ (g) は、本発明に係るアクティブマトリックス基板の製造方法の各工程を示す図である。

【図2】(a)~(h)は、従来のアクティブマトリックス基板の製造工程を示す図である。

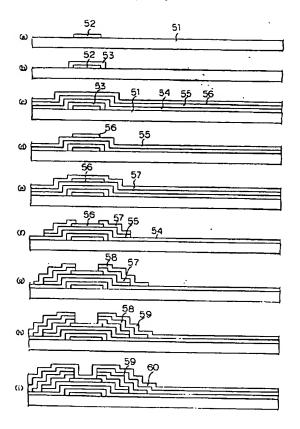
【図3】(a)~(i)は、従来の他のアクティブマトリックス基板の製造工程を示す図である。

【符号の説明】

1・・・遮光用金属層、2・・・下地絶縁層、3・・・第1の透明導電層、4・・・第1の金属層、5・・・n
* 型半導体層、6・・・i型半導体層、7・・・絶縁層、8・・・第2の金属層、9・・・第2の透明導電層、10・・・保護層、20・・・基板。

40

【図3】



フロントページの続き

(51) Int. CI. ⁵

HO1L 29/784

識別記号 庁内整理番号

FΙ

技術表示箇所

